

538, 05)

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関
国際事務局



(43)国際公開日
2004年6月24日 (24.06.2004)

PCT

(10)国際公開番号
WO 2004/054076 A1

(51)国際特許分類⁷:

H02M 3/155

(72)発明者: および

(21)国際出願番号:

PCT/JP2003/014301

(75)発明者/出願人(米国についてのみ): 数馬秀二
(KAZUMA,Shuji) [JP/JP]; 〒614-8375 京都府八幡市
男山弓岡4-2 12-1 O2 Kyoto (JP).

(22)国際出願日: 2003年11月11日 (11.11.2003)

(25)国際出願の言語:

日本語

(74)代理人: 岩橋文雄, 外(IWAHASHI,Fumio et al.); 〒571-8501 大阪府門真市大字門真1006番地松下電器産業株式会社内Osaka (JP).

(26)国際公開の言語:

日本語

(30)優先権データ:

特願2002-357568

(81)指定国(国内): CN, KR, US.

2002年12月10日 (10.12.2002) JP

(71)出願人(米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地Osaka (JP).

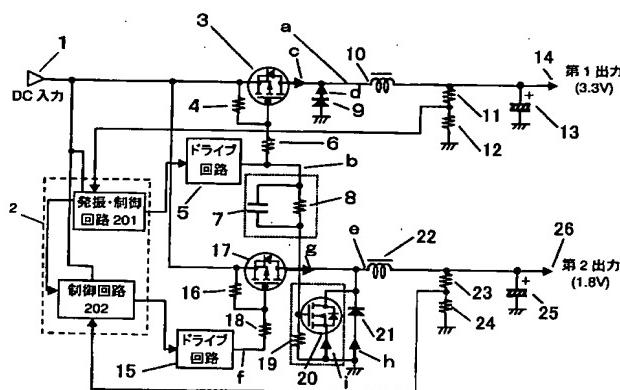
添付公開書類:

—国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドノート」を参照。

(54) Title: SYNCHRONOUS RECTIFICATION DC-DC CONVERTER POWER SUPPLY

(54)発明の名称: 同期整流方式DC-DCコンバータ電源装置



1...DC INPUT
 14...FIRST OUTPUT (3.3V)
 26...SECOND OUTPUT (1.8V)
 5...DRIVE CIRCUIT
 201...OSCILLATING/CONTROLLING CIRCUIT
 202...CONTROL CIRCUIT
 15...DRIVE CIRCUIT

(57) Abstract: A DC-DC converter power supply comprising drive circuits (5, 15) creating different driving waveforms from a drive pulse at an oscillating/controlling circuit section (2), a first switching element (3) being driven by the drive circuit (5), a second switching element (17) being driven by the drive circuit (15), and a third switching element (20) connected in parallel with the second diode (21) of the second switching element (17) and being driven by the drive circuit (5).

(57)要約: 本発明のDC-DCコンバータ電源装置は、発振・制御回路部(2)のドライブパルスから異なるドライブ波形を生成するドライブ回路(5)及び(15)と、ドライブ回路(5)により駆動される第1スイッチング素子(3)と、ドライブ回路(15)により駆動される第2スイッチング素子(17)と、第2スイッチング素子(17)の第2ダイオード(21)に並列接続されドライブ回路

(総葉有)

WO 2004/054076 A1



(5) により駆動される第3スイッチング素子(20)とで構成としたものである。

明細書

同期整流方式 DC - DC コンバータ電源装置

技術分野

5 本発明は、テレビ、VTR、カメラ、パソコン用コンピュータおよびそれらの周辺機器等の電子機器に使用され、パルス幅制御によって出力電圧を安定にするDC - DC コンバータ電源に関する。

背景技術

10 近年、パルス幅制御方式によって出力電圧を安定にするDC - DC コンバータ電源が電子機器に広く用いられるようになっている。また、高効率を達成させるために、整流ダイオードの順方向電圧分の損失を下げる同期整流方式のDC - DC コンバータ電源も制御回路のIC化が進み、多種多様なケースで使用されるよう
15 になってきた（例えば特許文献1：特開平09-261950号公報参照）。図4に従来のDC - DC コンバータ電源の回路例を示し、図5にその主な波形のタイミングチャートを示す。図4はひとつのDC入力から3.3V出力と1.8V出力を得る場合の1例である。最初に3.3V出力系を説明する。

20 DC入力1に直流電圧（たとえばDC 5V～10V）が印加されると、制御ICである発振・同期制御回路30が動作を開始し、更にドライブ回路5をドライブし、スイッチング素子PチャンネルMOS-FET3（以下、MOS-FET3と略す）をドライブする。そのドライブ波形は、図7のk点の電圧波形であり、ハイレベル（時刻t4～t1間）は、ほぼDC入力1の電圧である。
25

ここで用いられている発振・同期制御回路 30 は、1 系統出力で図 5 の k 点に示すような波形および n 点に示すような波形の 2 種類のドライブパルスが使用され、かつ、この 2 種類のドライブパルスは、各々ドライブされる M O S - F E T の O N / O F F の立ち上がり時間および立ち下がり時間を考慮して、デッドタイム(2 つのドライブ共、O F F になっている時間のこと)が設定されている特別な仕様の I C である。

M O S - F E T 3 は、ゲート電圧 k がローレベル (t 1 ~ t 4 間) のときに O N し、ゲート電圧 k がハイレベル (t 4 ~ t 1 間) のときは O F F 状態となる。したがって、M O S - F E T 3 の出力電圧は、図 5 の j 点の電圧波形に示すものとなり、これがコイル 1 0 に印加される。M O S - F E T 3 の O N 期間 (t 1 ~ t 4 間) にコイル 1 0 に流れる電流は、図 5 の m 点 (時刻 t 1 ~ t 4 間) の電流波形に示すものとなっている。コイル 1 0 のインダクタنس値が小さいときは傾斜が急になり電流のピーク値は大きくなるが、反対にコイル 1 0 のインダクタанс値が大きいときは傾斜が緩やかになり、電流のピーク値は小さくなる。いずれにしても、コイル 1 0 のインダクタанс値はコイルのコアが飽和しないように選択する必要がある。

さて、M O S - F E T 3 が O F F になると、コイル 1 0 に流れていた電流が供給されなくなるため逆起電力がコイル 1 0 の両端に発生し、j 点の電位はマイナス電位になり、ダイオード 9 の順方向電圧でクランプされることになる。その結果、コイル 1 0 に蓄えられたエネルギーが電流となって、コンデンサ 1 3 と第 1 出力 1 4 に接続された負荷 (図示せず) およびダイオード 9 を介し

て流れる。この電流は還流電流と呼ばれるが、ダイオード 9 の順方向電圧の低いものほど損失が少ないことになる。そのため、ショットキーバリアダイオード（SBDと称す）を使用することが多いが、それでも順方向電圧は 0.3V～0.6V 程度である。

そこで、ダイオード 9 の ON 期間 ($t_4 \sim t_1$ 間) にダイオード 9 よりもさらに順方向電圧の低い、即ち損失の少ない素子で ON させて、還流電流をバイパスさせればさらに損失が低減できる。これは以下のようにバイパス回路を形成することで実現できる。

ドライブ回路 31 で n 点の $t_5 \sim t_6$ 間の電圧波形によりスイッチング素子 N チャンネル MOS-FET 32 (以下、MOS-FET 32 と称す) を ON させる。通常 MOS-FET 32 は、ON 時の電圧降下が 0.1V 以下となることが期待でき、ダイオード 9 の順方向電圧 (0.3V～0.6V) より低いので、その間は還流電流が MOS-FET 32 の方を流れることになる。そのことを図 5 を用いて説明する。ドライブ回路 31 の出力波形は、n 点の電圧波形であり、ローレベル ($t_6 \sim t_5$ 間) では MOS-FET 32 は OFF となる。この時、ダイオード 9 に流れる電流は、o 点の電流波形に示すように $t_4 \sim t_5$ 間および $t_6 \sim t_1$ 間となる。また、ドライブ回路 31 の出力がハイレベル ($t_5 \sim t_6$ 間) になると MOS-FET 32 が ON となり、p 点の電流波形に示すように $t_5 \sim t_6$ 間電流が流れる。

そして、j 点の電圧波形でローレベル ($t_4 \sim t_1$ 間) の部分に注目すると、ダイオード 9 が ON になっているタイミング、すなわち $t_4 \sim t_5$ 間および $t_6 \sim t_1$ 間は、順方向電圧はマイナス 0.3V～マイナス 0.6V 程度の電圧レベルになっており、

一方、MOS-FET 32がONしているタイミング、すなわちp点に電流が流れているタイミング($t_5 \sim t_6$)では、マイナス0.1V程度の電圧レベルとなっている。

そして、3.3V出力電圧を抵抗11と抵抗12とで分圧・検出し、発振・同期制御回路30にフィードバックされることにより、MOS-FET 3のON時間を制御するとともに、MOS-FET 32のON時間を制御し、出力を一定に保つ動作をしている。したがって、ダイオード9に流れる電流の期間が少なくなるほど損失が減少し高効率となる反面、MOS-FET 3のON期間とMOS-FET 32のON期間が重なれば大電流が流れ、スイッチング素子を破壊する危険も発生するので注意が必要である。

1. 8V系出力については基本的な動作は上記で述べた3.3V系と同じであり、ここでは説明を省略する。

しかし、この従来例に示すような1つの入力から異なる電圧で複数の出力を得るような同期整流方式DC-DCコンバータ電源は、各出力系毎に発振・同期制御回路、ドライブ回路及びMOS-FET等を用いて回路を独立に構成する必要があり、回路規模が大きくなるという欠点があった。また、複数のドライブ回路を同期させて制御するためには発振・同期制御回路として専用の制御ICを使う必要があり、高価であるという欠点があった。

発明の開示

第1スイッチング電源手段と、第1スイッチング電源手段のドライブパルスに基づいて同期整流する第2スイッチング電源手段とを有する同期整流方式DC-DCコンバータ電源装置であって、

第 1 スイッチング電源手段は、DC 入力電源によって動作しドライブパルスを出力する発振・制御手段と、発振・制御手段からのドライブパルスに基づいてドライブ波形を出力する第 1 ドライブ手段と、第 1 ドライブ手段の出力により駆動する第 1 スイッチング素子と、正極が接地され、負極が第 1 スイッチング素子の出力に接続された第 1 整流手段と、第 1 スイッチング素子の出力に接続された第 1 コイルとを有し、第 2 スイッチング電源手段は、発振・制御手段からのドライブパルスに基づいてドライブ波形を出力する第 2 ドライブ手段と、第 2 ドライブ手段の出力により駆動される第 2 スイッチング素子と、正極が接地され、負極が第 2 スイッチング素子の出力に接続された第 2 整流手段と、第 2 整流手段に並列接続され第 1 ドライブ手段の出力により駆動される第 3 スイッチング素子と、第 2 スイッチング素子の出力に接続された第 2 コイルとを有する同期整流方式 DC – DC コンバータ電源装置が提供される。

図面の簡単な説明

図 1 は、本発明の実施の形態 1 による同期整流方式 DC – DC コンバータ電源装置を示す図である。

図 2 は、本発明の実施の形態 1 による同期整流方式 DC – DC コンバータ電源装置の主なタイミングチャートと波形図である。

図 3 は、本発明の実施の形態 2 による同期整流方式 DC – DC コンバータ電源装置を示す図である。

図 4 は、従来の例による同期整流方式 DC – DC コンバータ電源装置を示す図である。

図 5 は、従来の例による同期整流方式 DC - DC コンバータ電源装置の主なタイミングチャートと波形図である。

発明を実施するための最良の形態

5 以下、本発明の実施の形態について、図 1 ~ 図 3 を用いて説明する。

(実施の形態 1)

図 1 に実施の形態 1 を示す。実施の形態 1 の同期整流方式は、1 つの DC 入力から 2 つの DC 出力を得る構成であり、3 . 3 V 10 系の第 1 スイッチング電源手段のドライブパルスによって 1 . 8 V 系の第 2 スイッチング電源手段を同期整流するものである。

図 1において、従来例の図 6 のものと同番号のものは同じものもしくは同じ働きをするものである。また、図 2 における a 点から i 点の各波形は、図 1 における主な部分の波形のタイミングチャートを示す。また、電流の波形の場合は、電流の流れる方向を矢印の方向で示している。

以下、実施の形態 1 の同期整流方式 DC - DC コンバータ電源の動作について詳述する。最初に DC 入力 1 から第 1 出力 1 4 を発生させる第 1 スイッチング電源手段について説明する。DC 入力 1 に直流電圧（たとえば DC 5 V ~ 10 V）が印加されると発振・制御回路部 2 の中に構成された発振・制御回路 201 が動作を開始し、第 1 ドライブ回路 5 をドライブし、その出力が P チャンネル第 1 MOS - FET 3 をドライブする。発振・制御回路 201 は、図 2 の b 点に示すような 1 種類のドライブパルスを出力 25 するのみであるため、従来技術における発振・同期制御回路 30

とは区別している。また、このような簡易な構成であることから、安価な汎用の制御 I C を使用可能である。

第 1 ドライブ回路 5 の出力波形である第 1 ドライブ波形は、図 2 の b 点の電圧波形であり、ハイレベル ($t_6 \sim t_1$ 間) はほぼ 5 DC 入力 1 の電圧である。第 1 M O S - F E T 3 は、ゲート電圧 b がローレベル ($t_1 \sim t_6$ 間) のときに ON となり、ゲート電圧 b がハイレベル ($t_6 \sim t_1$ 間) のときは OFF となる。したがって、第 1 M O S - F E T 3 の出力電圧は、図 2 の a 点の電圧波形に示す。そして、第 1 M O S - F E T 3 の出力が第 1 コイル 10 に印加される。第 1 M O S - F E T 3 が ON である期間に流れる電流を図 2 の c 点の電流波形 ($t_1 \sim t_6$ 間) に示す。第 1 コイル 10 のインダクタンス値が小さいときは波形の傾斜が急になり電流のピーク値は大きくなるが、反対に第 1 コイル 10 のインダクタンス値が大きいときは波形の傾斜が緩やかになり、電流 15 のピーク値は小さくなる。いずれにしてもこのインダクタンス値は、第 1 コイル 10 のコアが飽和しないように選択する必要がある。

さて、第 1 M O S - F E T 3 が OFF になると、第 1 コイル 10 に流れていた電流が供給されなくなるため逆起電力が第 1 コイル 10 の両端に発生し、a 点の電位はマイナス電位になろうとするが、第 1 ダイオード 9 を介して電流が流れるため、電位は図 2 の a 点の電圧波形 ($t_6 \sim t_1$ 間) の通り、ほぼ 0 V (実際にはマイナス 0.3 V ~ マイナス 0.6 V 程度) に保たれる (クランプされる)。その結果、第 1 コイル 10 に蓄えられたエネルギーが電流 25 となって、第 1 コンデンサ 13 と第 1 出力の負荷および第 1 ダイ

オード 9 を介して流れる。この電流は還流電流と呼ばれるが、第 1 ダイオード 9 の順方向電圧の低いものほど損失が少ないとなる。そして、第 1 検出抵抗 11 及び 12 で構成された第 1 検出回路により分圧・検出し、発振・制御回路部 2 へフィードバックさせることにより第 1 M O S - F E T 3 が ON となる期間 ($t_1 \sim t_6$ 間) を制御し、3.3 V 出力 14 を一定とするように制御している。

次に DC 入力 1 から第 2 出力 26 を発生させる第 2 スイッチング電源手段について説明する。第 1 スイッチング電源手段と同様、発振・制御回路部 2 の中に構成された発振・制御回路 201 が動作を開始し、その発振信号を入力して同一の周波数で動作する制御回路 202 が第 2 ドライブ回路 15 をドライブし、その出力が P チャンネル第 2 M O S - F E T 17 をドライブする。

第 2 ドライブ回路の出力は図 2 の f 点の電圧波形であり、ハイレベル ($t_5 \sim t_2$ 間) はほぼ DC 入力 1 の電圧である。また、f 点の電圧波形は、第 1 スイッチング電源手段の b 点の電圧波形と位相同期して動作しており、第 2 スイッチング電源手段では出力が 1.8 V であることから、b 点と比較して f 点の方がより ON 期間が短くなっている。第 2 M O S - F E T 17 は、ゲート電圧 f がローレベル ($t_2 \sim t_5$ 間) のときに ON となり、ゲート電圧 f がハイレベル ($t_5 \sim t_2$ 間) のときは OFF となる。第 2 M O S - F E T 17 の出力電圧は図 2 の e 点のとおりであり、 $t_2 \sim t_5$ が ON となる期間、 $t_5 \sim t_2$ が OFF となる期間である。さらに詳細にみると、 $t_5 \sim t_6$ および $t_1 \sim t_2$ はダイオード 21 に電流が流れている期間であり、その時の電圧はマイ

ナス 0. 3 V～マイナス 0. 6 V 程度である。一方、 $t_6 \sim t_1$ は N チャンネル第 3 MOS-FET 20 が ON となっている期間であり、マイナス 0. 1 V 程度の電圧になっている。この電圧 ($t_2 \sim t_5$ 間) は第 2 コイル 22 に印加される。第 2 MOS-FET 17 が ON である間に流れる電流を図 2 の g 点の電流波形 ($t_2 \sim t_5$ 間) に示す。第 2 コイル 22 のインダクタンス値が小さいときは波形の傾斜が急になり電流のピーク値は大きくなるが、反対に第 2 コイル 22 のインダクタンス値が大きいときは波形の傾斜が緩やかになり、電流のピーク値は小さくなる。いずれ 10 にしても、インダクタンス値は第 2 コイルのコアが飽和しないように選択する必要がある。

さて、第 2 MOS-FET 17 が OFF ($t_5 \sim t_2$ 間) になると、第 2 コイル 22 に流れていた電流が供給されなくなるため逆起電力が第 2 コイル 22 の両端に発生し、e 点の電位はマイナス 15 電位になろうとするが、第 1 ダイオード 21 を介して電流が流れるために、電位は図 2 の e 点の電圧波形 ($t_5 \sim t_2$ 間) の通り、およそ 0 V (実際にはマイナス 0. 3 V～マイナス 0. 6 V 程度) に保たれる (クランプされる)。その結果、第 2 コイル 22 に蓄えられたエネルギーが電流となって、第 2 平滑コンデンサ 25 と第 20 第 2 出力の負荷および第 2 ダイオード 21 を介して還流電流が流れ 25 る。還流電流は、第 2 ダイオード 21 の順方向電圧の低いものほど損失が少ないとなる。

第 2 ダイオード 21 には第 3 MOS-FET 20 が並列接続されている。第 3 MOS-FET 20 のゲートには、コンデンサ 7 と抵抗 8 で構成される波形整形回路を介して第 1 ドライブ回路 5

の出力が接続されている。もちろん波形整形回路を省略し、第3 MOS-FET20を第1ドライブ回路5の出力によって直接駆動しても同様の効果が得られるが、最適なドライブ条件を容易に調整することができるようになる点で有用である。

この構成により、Nチャンネル第3MOS-FET20は、b点の電圧波形がハイレベル($t_6 \sim t_1$ 間)の時にはONとなり、ローレベル($t_1 \sim t_6$ 間)のときはOFFとなる。もし仮に第3MOS-FET20がOFFのままであるなら、図2のh1に示す点線のような波形がダイオード21に流れ、その結果この期間($t_1 \sim t_6$ 間)のe点での電圧は常にマイナス0.3V~マイナス0.6V程度となってしまう。しかし、第3MOS-FET20のON/OFFが制御されると、h2に示す波形が第2ダイオード21に流れ、第3MOS-FET20には、i点の($t_6 \sim t_1$ 間)に示す電流が流れることになる。すなわち、第2ダイオード21に流れていたh1点の電流は第3MOS-FET20がONの期間($t_6 \sim t_1$ 間)には第3MOS-FET20へバイパスされる。その結果、e点での電圧波形は図2の通り、 $t_6 \sim t_1$ 間ではマイナス0.1V程度となり、第2ダイオード21の順方向電圧が高いことによる損失が軽減され、回路を高効率にすることができる。

そして、第2検出抵抗23及び24とで分圧・検出し、制御回路202へフィードバックさせることにより第2MOS-FET17がONとなる期間($t_2 \sim t_5$ 間)を制御し、1.8V出力26を一定とするように制御している。

なお、第2ダイオード21に流れる電流が少なくなるほど損失

が減少して高効率となるため、 $t_5 \sim t_6$ の期間及び $t_1 \sim t_2$ の期間が短くなるようにドライブ回路 5 及び 1 5 を構成することが望ましいが、各々ドライブされるMOS-FETのON/OFF の立ち上がり時間および立ち下がり時間を考慮して、各MOS-FETのON/OFF が入れ替わる過渡状態においてデッドタイム（両方のドライブ共OFFになっている時間のこと）が設定される条件でなければならない。もし、第2MOS-FET 17 のON期間と第3MOS-FET 20 のON期間が重なれば、大電流が流れ、スイッチング素子を破壊する危険も発生するので、
10 注意が必要である。このことは、実施の形態1の同期整流方式は
1. 8V系に適用したが、その逆に、1. 8V系のドライブパルスで3. 3V系を同期整流にしようとするとき、従来例の図6に示したように、MOS-FET 3 のON期間とMOS-FET 32 のON期間が重なるようになるので、構成できないことを意味する。
15

上記のように実施の形態1では、複数の出力系統で回路を共用することができ、その結果、回路規模を小さくすることができる。また、ダイオードの順方向電圧が高いことによる損失を、並列接続したMOS-FETによって軽減することができ、回路を高効率にすることができる。さらに、発振・制御回路の出力として1種類のドライブパルスを出力するだけでよいため、高価な専用の制御ICの代わりに安価な汎用の制御ICで複数系統のDC-DCコンバータ電源を構成でき、容易に同期整流方式とすることができるという効果を有する。

25 なお、実施の形態1の構成に加えて、さらに3. 3V系の第1

スイッチング電源手段において、第1整流手段であるダイオード9にNチャンネル第6MOS-FETが並列接続し、かつ発振・制御回路部2の中に構成された他の発振・制御回路の出力がNチャンネル第6MOS-FETのゲートに接続されることによって、
5 3.3V系の第1スイッチング電源手段の効率を改善するものがある。これは、ダイオードの順方向電圧が高いことによる損失を、並列接続したNチャンネルMOS-FETによって軽減することができ、実施の形態1よりも高効率にすることができる効果を有する。

10 (実施の形態2)

図3に本発明の実施の形態2を示す。実施の形態2の同期整流方式は、1つのDC入力から3つのDC出力を得る構成であり、実施の形態1の構成に加えて、さらに1.8V系の第2スイッチング電源手段のドライブパルスによって1.2V系の第3スイッチング電源手段を同期整流するものである。
15

図2におけるa点からz点の各波形は、図3における主な部分の波形のタイミングチャートを示す。図3において、図1と同番号は同じもの、もしくは同じ働きをするものである。また、実施の形態2の同期整流方式DC-DCコンバータ電源は、実施の形態1に加えて第3ドライブ回路41、抵抗42、43、第4スイッチング素子のPチャンネル第4MOS-FET44(以下、第4MOS-FET44と略す)、第3ダイオード45、第3コイル46、第3検出抵抗47、48、第3平滑コンデンサ49、第3出力50、抵抗51、第5スイッチング素子のNチャンネル第5MOS-FET52(以下、第5MOS-FET52と略す)、コン

デンサ 5 3、抵抗 5 4 を有している。

以下、実施の形態 2 の同期整流方式 D C – D C コンバータ電源の動作について詳述する。第 1 スイッチング電源手段及び第 2 スイッチング手段の動作については実施の形態 1 と同様であるので 5 省略し、D C 入力 1 から第 3 出力 5 0 を発生させる第 3 スイッチング電源手段について説明する。第 3 スイッチング電源手段の動作は基本的に第 2 スイッチング電源手段と同様である。まず、発振・制御回路部 2 の中に構成された発振・制御回路 2 0 1 が動作を開始し、その発振信号を入力して同一の周波数で動作する制御 10 回路 2 0 3 から第 3 ドライブ回路 4 1 がドライブされ、P チャンネル第 4 M O S – F E T 4 4 をドライブする。第 3 ドライブ回路の出力は図 2 の w 点の電圧波形である。また、第 4 M O S – F E T 4 4 の出力電圧は、図 2 の 1 点の電圧波形に示すものとなり、これが第 3 コイル 4 6 に印加される。

15 第 4 M O S – F E T 4 4 が O F F になると、第 3 コイル 4 6 に流れていた電流が供給されなくなるため逆起電力が第 3 コイル 4 6 の両端に発生し、1 点の電位はマイナス電位になり第 3 ダイオード 4 5 の順方向電圧でクランプされることになる。その結果、第 3 平滑コンデンサ 4 9 と第 3 出力の負荷および第 3 ダイオード 20 4 5 を介して還流電流が流れる。

第 3 ダイオード 4 5 には N チャンネル第 5 M O S – F E T 5 2 が並列接続されている。第 5 M O S – F E T 5 2 は、第 2 ドライブ回路 1 5 の出力をコンデンサ 5 3 と抵抗 5 4 で構成される波形整形回路を介して O N 期間 ($t_5 \sim t_2$ 間) が制御されるように 25 接続されている。この構成により、図 2 の f 点の電圧波形と同様

の波形のドライブ電圧が第 5 M O S - F E T 5 2 のゲートに印加される。その結果、第 5 M O S - F E T 5 2 は f 点の電圧波形がハイレベル (t 5 ~ t 2 間) の時には ON となり、ローレベル (t 2 ~ t 5 間) のときは OFF となり、第 3 ダイオード 4 5 には z 点の t 4 ~ t 5 間および t 2 ~ t 3 間電流が流れ、第 5 M O S - F E T 5 2 の ON の期間 (t 5 ~ t 2 間) には y 点に示すように第 5 M O S - F E T 5 2 へバイパスされる。そして、第 3 検出抵抗 4 7 と 4 8 とで分圧・検出し、発振・制御回路 2 へフィードバックさせることにより第 4 M O S - F E T 4 4 の ON 期間を制御し、1.2 V 出力 5 0 を一定とするように制御される。

上記のように実施の形態 2 では、出力系統が 3 系統であっても実施の形態 1 と同様の効果を得ることができる。

なお、実施の形態 2 では、第 3 スイッチング電源手段の第 5 M O S - F E T 5 2 を第 2 スイッチング電源手段の第 2 ドライブ回路 1 5 からドライブしたが、第 1 スイッチング電源手段の第 1 ドライブ回路 5 からドライブするようにしてもよい。しかし、実施の形態 2 で説明した構成の方がより高効率な回路であり、より望ましい。以下、その理由を述べる。第 3 ダイオード 4 5 に流れる還流電流をバイパスする期間は第 5 M O S - F E T 5 2 が ON となる期間に依存する。また、第 1 出力 1 4 を 3.3 V とし、第 2 出力 2 6 を 1.8 V とする場合、ドライブ期間、即ち電圧がハイレベルになる期間は b 点と f 点の波形を見てもわかる通り、第 2 ドライブ回路 1 5 側の方が長い。したがって、第 3 ダイオード 4 5 に流れる還流電流をより多くバイパスさせるためには、第 2 スイッチング電源手段の第 2 ドライブ回路 1 5 からドライブする方

が望ましい。

なお、さらに多出力、低電圧、かつ大電流を必要とする場合においても、発振・制御回路の同期をとることにより本発明の構成が可能であることは容易に理解できる。しかも高価な同期整流専用の制御 I C は不要で、安価な制御 I C で構成可能である。

以上説明したように、本発明により、複数の出力系統で 1 つの発振・制御回路部で回路を共用することができ、その結果回路規模を小さくすることができる。さらに、発振・制御回路部の出力として 1 種類のドライブパルスを出力するだけでよいため、高価な専用の制御 I C の代わりに安価な汎用の制御 I C で複数系統の DC - DC コンバータ電源を構成でき、容易に同期整流方式とすることができるという効果を有する。

産業上の利用可能性

本発明は、テレビ、VTR、カメラ、パソコンコンピュータおよびそれらの周辺機器等の電子機器に使用され、パルス幅制御によって出力電圧を安定にする DC - DC コンバータ電源に関するもので、回路規模が小さく安価で高効率な同期整流方式の DC - DC コンバータ電源装置を供給することができる。

請求の範囲

1. 第1スイッチング電源手段と、

前記第1スイッチング電源手段のドライブパルスに基づいて同期整流する第2スイッチング電源手段とを有する同期整流方式DC

5 - DCコンバータ電源装置であって、

前記第1スイッチング電源手段は、DC入力電源によって動作しドライブパルスを出力する発振・制御手段と、

前記発振・制御手段からのドライブパルスに基づいてドライブ波形を出力する第1ドライブ手段と、

10 前記第1ドライブ手段の出力により駆動する第1スイッチング素子と、

正極が接地され、負極が前記第1スイッチング素子の出力に接続された第1整流手段と、

前記第1スイッチング素子の出力に接続された第1コイルと有
15 し、

前記第2スイッチング電源手段は、前記発振・制御手段からのドライブパルスに基づいてドライブ波形を出力する第2ドライブ手段と、

前記第2ドライブ手段の出力により駆動される第2スイッチング
20 素子と、

正極が接地され、負極が前記第2スイッチング素子の出力に接続された第2整流手段と、

前記第2整流手段に並列接続され前記第1ドライブ手段の出力により駆動される第3スイッチング素子と、

25 前記第2スイッチング素子の出力に接続された第2コイルと有

する

同期整流方式 D C - D C コンバータ電源装置。

2. 前記第 2 スイッチング素子の O F F 期間は前記第 1 スイッ
チング素子の O F F 期間を含む請求項 1 に記載の同期整流方式 D
5 C - D C コンバータ電源装置。

3. 前記第 2 スイッチング電源手段のドライブパルスに基づいて同期整流する第 3 スイッチング電源手段をさらに有し、
前記第 3 スイッチング電源手段は、前記発振・制御手段からのド
ライブパルスに基づいてドライブ波形を出力する第 3 ドライブ手
10 段と、

前記第 3 ドライブ手段の出力により駆動される第 4 スイッチング
素子と、

正極が接地され、負極が前記第 4 スイッチング素子の出力に接続
された第 3 整流手段と、

15 前記第 3 整流手段に並列接続され前記第 2 ドライブ手段の出力に
より駆動される第 5 スイッチング素子と、

前記第 4 スイッチング素子の出力に接続された第 3 コイルと、
を有する請求項 1 に記載の同期整流方式 D C - D C コンバータ電
源装置。

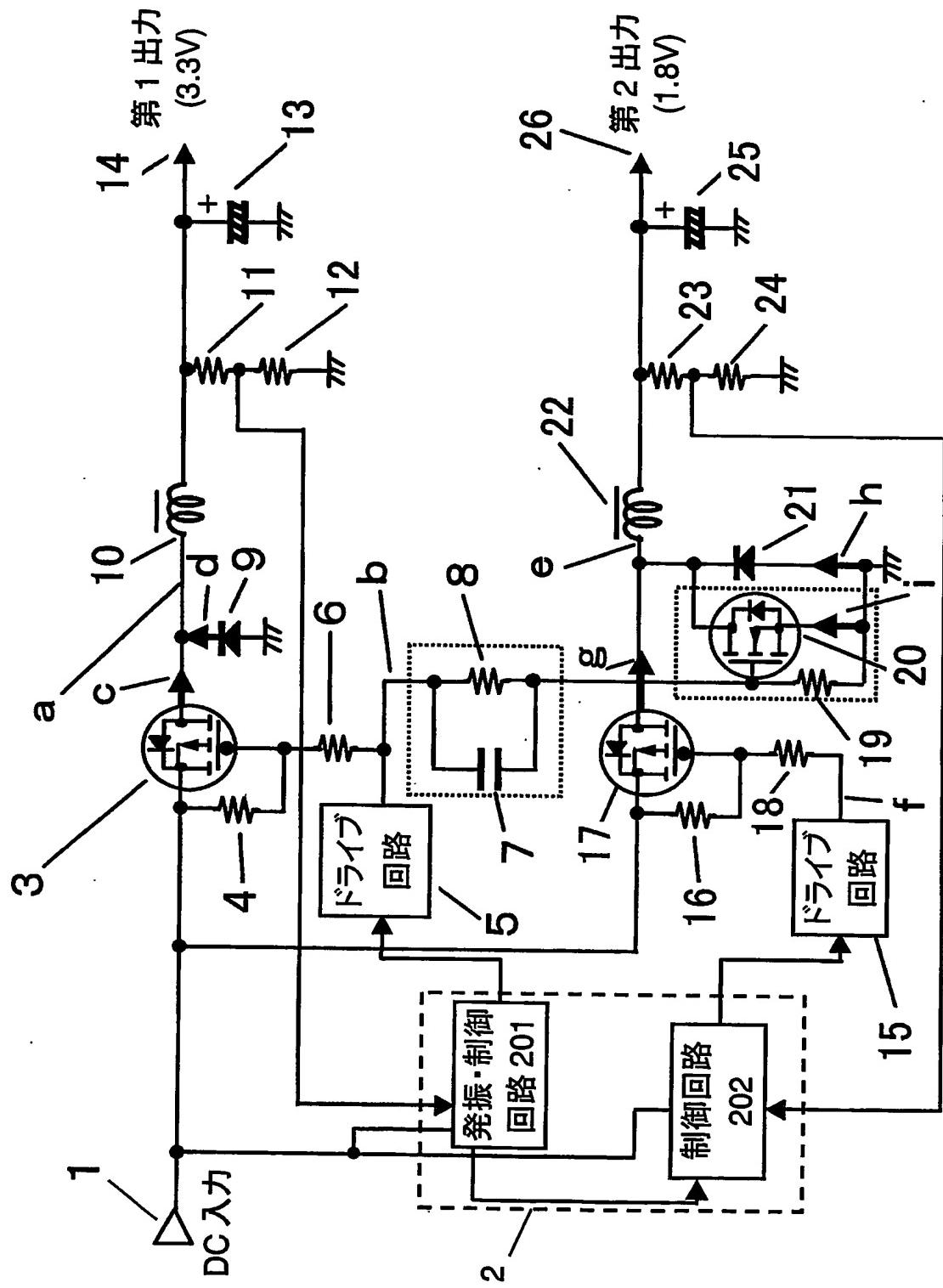
20 4. 前記第 2 スイッチング素子の O F F 期間は前記第 1 スイッ
チング素子の O F F 期間を含みかつ前記第 3 スイッチング素子の
O F F 期間は前記第 2 スイッチング素子の O F F 期間を含む請求
項 3 に記載の同期整流方式 D C - D C コンバータ電源装置。

25 5. 前記第 1 整流手段に並列接続され前記発振・制御手段の出
力により駆動される第 6 スイッチング素子を更に有する

請求項 1 に記載の同期整流方式 D C – D C コンバータ電源装置。

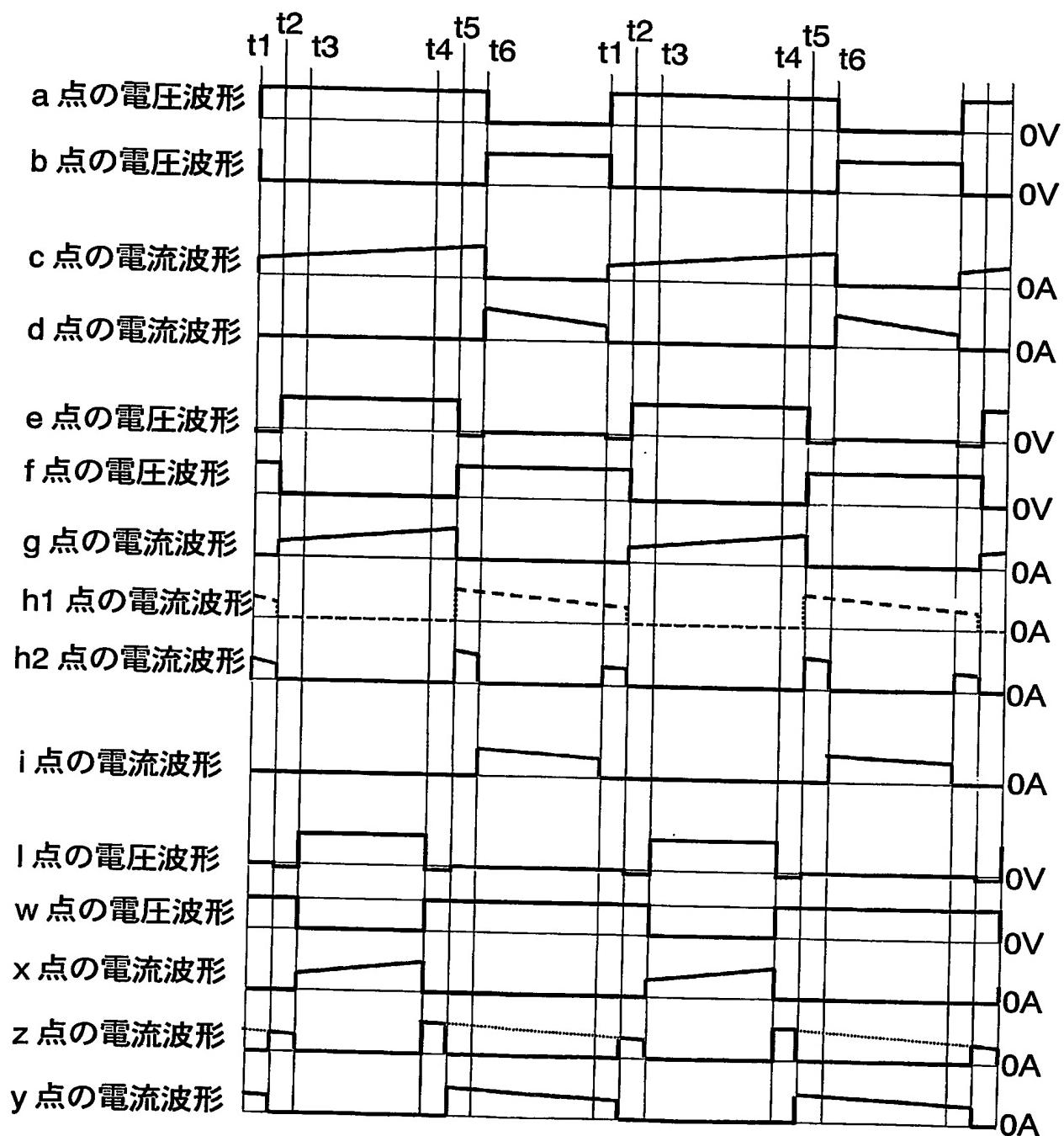
1/6

FIG. 1



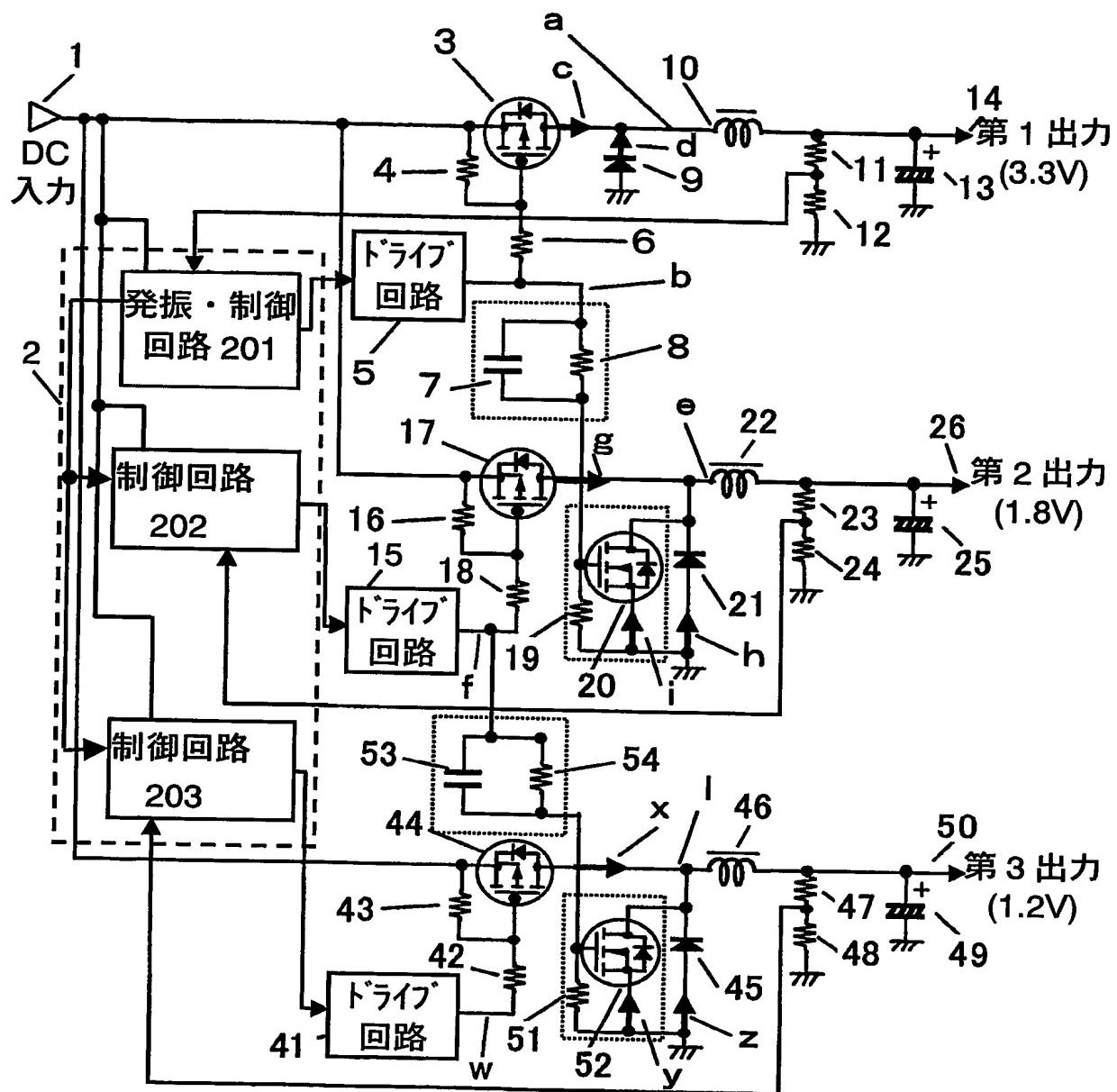
2/6

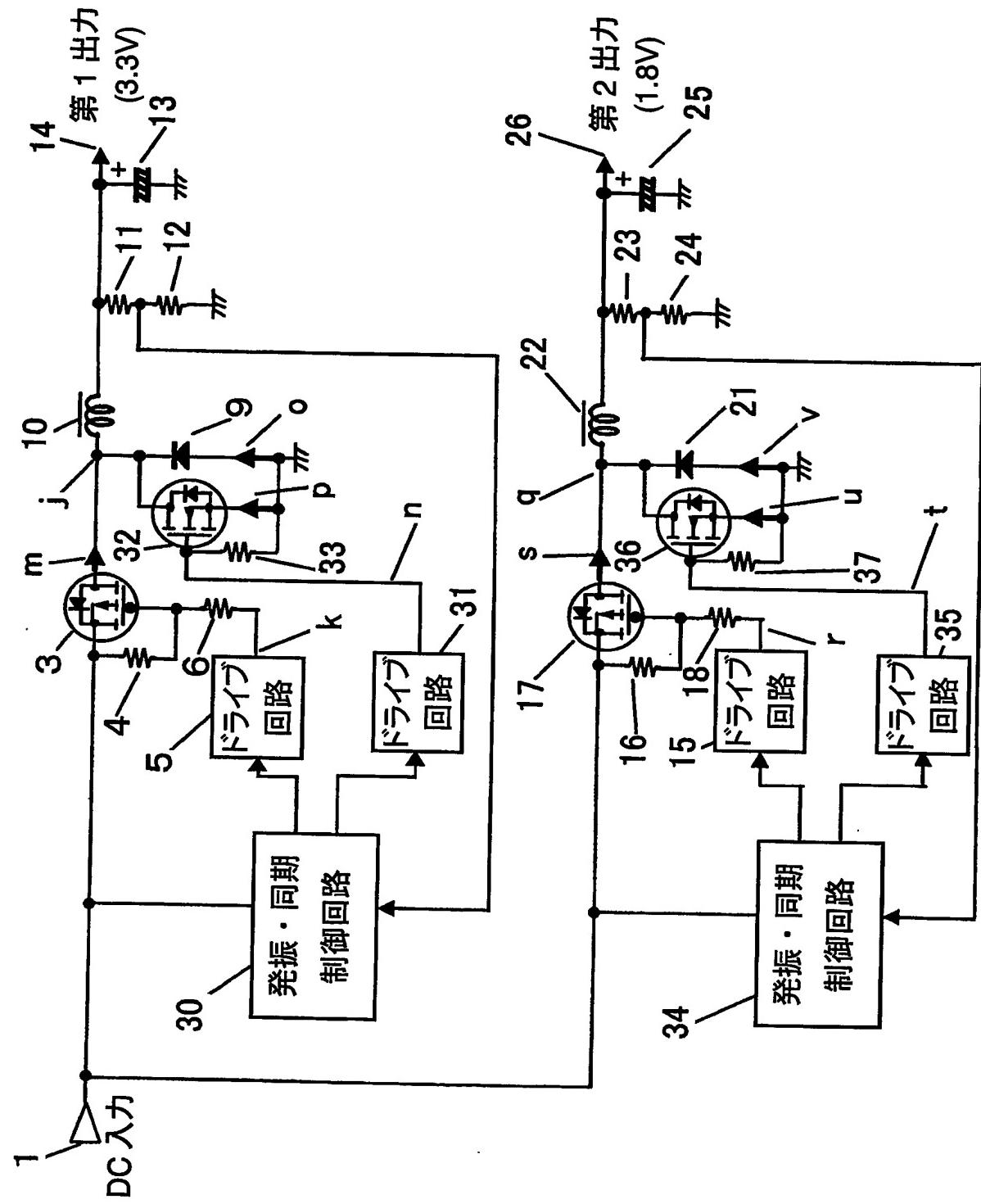
FIG. 2



3/6

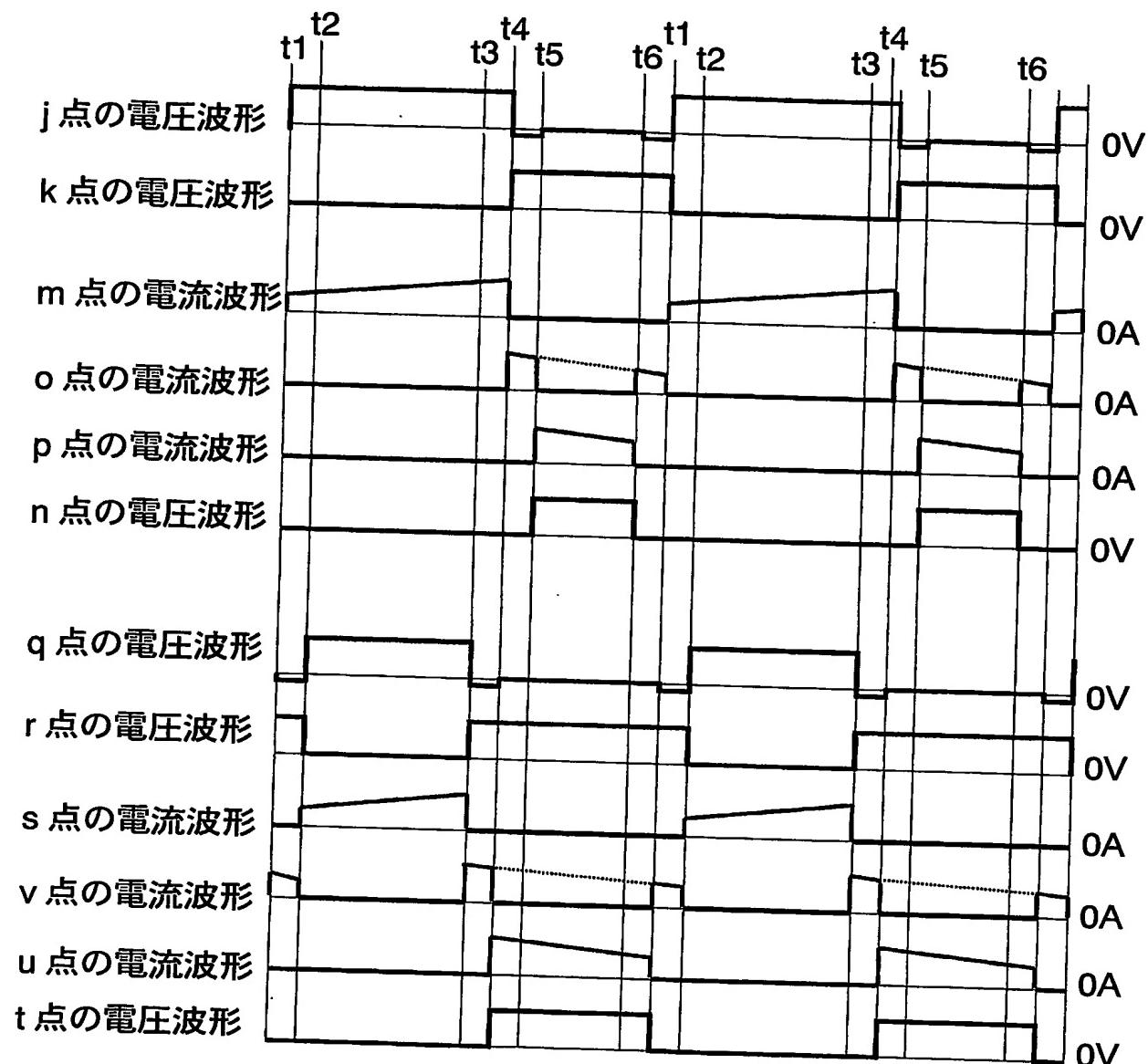
FIG. 3





5/6

FIG. 5



6/6

図面の参照符号の一覧表

- 1 DC入力
- 2 複数の出力系統を制御する発振・制御回路部
- 3 第1スイッチング素子のPチャンネルMOS-FET
- 4 抵抗
- 5 第1ドライブ回路
- 6 抵抗
- 7 コンデンサ（波形整形回路用）
- 8 抵抗（波形整形回路用）
- 9 第1ダイオード
- 10 第1コイル
- 11、12 第1検出用抵抗
- 13 第1平滑コンデンサ
- 14 第1出力(3.3V出力)
- 15 第2ドライブ回路
- 16 抵抗
- 17 第2スイッチング素子であるPチャンネルMOS-FET
- 18、19 抵抗
- 20 第3スイッチング素子のNチャンネルMOS-FET
- 21 第2ダイオード
- 22 第2コイル
- 23、24 第2検出用抵抗
- 25 第2平滑コンデンサ
- 26 第2出力(1.8V出力)
- 41 第3ドライブ回路
- 42、43 抵抗
- 44 第4スイッチング素子であるPチャンネルMOS-FET
- 45 第3ダイオード
- 46 第3コイル
- 47、48 第3検出用抵抗
- 49 第3平滑コンデンサ
- 50 第3出力(1.2V)
- 51 抵抗
- 52 第5スイッチング素子のNチャンネルMOS-FET

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/14301

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H02M3/155

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H02M3/00-3/44

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-119058 A (Densei-Lambda Kabushiki Kaisha), 19 April, 2002 (19.04.02), Par. Nos. [0002] to [0038]; Figs. 1 to 4 (Family: none)	1-5
Y	JP 60-255057 A (Hitachi, Ltd.), 16 December, 1985 (16.12.85), Page 2, upper right column, line 20 to lower right column, line 6; Fig. 3 (Family: none)	1-5
Y	JP 2000-156970 A (Denso Corp.), 06 June, 2000 (06.06.00), Par. Nos. [0005] to [0008]; Fig. 6 (Family: none)	1-5

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
04 February, 2004 (04.02.04)

Date of mailing of the international search report
17 February, 2004 (17.02.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/14301

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 8-242577 A (Sony Corp.), 17 September, 1996 (17.09.96), Full text (Family: none)	1-5
A	US 6147477 A (Mitsuo SAEKI et al.), 14 November, 2000 (14.11.00), Full text & JP 9-154275 A	1-5
A	JP 2002-159173 A (Sony Corp.), 31 May, 2002 (31.05.02), Full text (Family: none)	1-5
A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 120748/1985(Laid-open No. 29784/1987). (Fuji Electric Co., Ltd.), 23 February, 1987 (23.02.87), Full text (Family: none)	1-5

国際調査報告

国際出願番号 PCT/JP03/14301

A. 発明の属する分野の分類(国際特許分類(IPC))

Int. Cl'

H02M 3/155

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. Cl'

H02M 3/00-3/44

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-119058 A (デンセイ・ラムダ株式会社) 19. 04. 2002, 【0002】-【0038】, 図1-4 (ファミリーなし)	1-5
Y	JP 60-255057 A (株式会社日立製作所) 16. 12. 1985, 第2頁右上欄第20行-右下欄第6行, 第3図 (ファミリーなし)	1-5

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日

04. 02. 2004

国際調査報告の発送日

17. 2. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)
桜田 正紀

3V 2917

電話番号 03-3581-1101 内線 3356

国際調査報告

国際出願番号 PCT/JP03/14301

C(続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-156970 A (株式会社デンソー) 06. 06. 2000, 【0005】-【0008】, 図6 (ファミリーなし)	1-5
A	JP 8-242577 A (ソニー株式会社) 17. 09. 1996, 全文 (ファミリーなし)	1-5
A	US 6147477 A (Mitsuo SAEKI et al.) 14. 11. 2000, 全文 & JP 9-154275 A	1-5
A	JP 2002-159173 A (ソニー株式会社) 31. 05. 2002, 全文 (ファミリーなし)	1-5
A	日本国実用新案登録出願60-120748号(日本国実用新案登録出願公開62-29784号)の願書に添付した明細書及び図面の内容を記録したマイクロフィルム(富士電機株式会社) 23. 02. 1987, 全文 (ファミリーなし)	1-5